

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-251653
 (43)Date of publication of application : 28.09.1993

(51)Int.Cl. H01L 27/10
 H01L 27/06

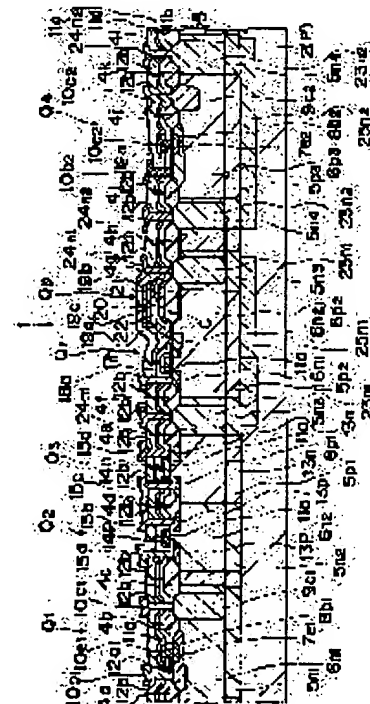
(21)Application number : 04-046887 (71)Applicant : HITACHI LTD
 HITACHI VLSI ENG CORP
 HITACHI HARAMACHI
 SEMICONDUCTOR LTD
 (22)Date of filing : 04.03.1992 (72)Inventor : IZAWA RYUICHI
 SATO KAZUE
 YOSHIZUMI KEIICHI
 TAKAHASHI MASATO
 HASHIBA SOICHIRO
 SUZUKI NORIO
 IKEDA SHUJI
 HOSHINO YUTAKA
 KANDA TAKAYUKI
 YOSHIDA YASUKO
 ARIGA SEIICHI
 MATSUKI HIROSHI
 MORI CHIEMI
 FUJITA ERI

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND ITS MANUFACTURE

(57)Abstract:

PURPOSE: To reduce the number of manufacturing steps of a title device of SRAM type having vertical npn bipolar transistors, vertical pnp bipolar transistors, CMOS circuits, and n-type semiconductor regions constituting a specified semiconductor integrated circuit element on the same semiconductor substrate.

CONSTITUTION: This is a method for manufacturing an SRAM having vertical pnp bipolar transistors Q1, p-channel MOS transistors Q2, n-channel MOS transistors Q3, and SRAM memory cells 1, and vertical pnp bipolar transistors Q4 on the same semiconductor substrate. When an element isolation n-type semiconductor layer 25n1 in the lower layer of an SRAM memory cell 1 is formed, an element isolation n-type semiconductor layer 25nn in the lower layer of a vertical pnp bipolar transistor Q4.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-251653

(43)公開日 平成5年(1993)9月28日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/10	3 7 1	8728-4M		
27/06		7342-4M	H 0 1 L 27/ 06	3 2 1 C
		7342-4M		3 2 1 E

審査請求 未請求 請求項の数 4 (全 15 頁)

(21)出願番号 特願平4-46887

(22)出願日 平成4年(1992)3月4日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71)出願人 000233468

日立超エル・エス・アイ・エンジニアリング株式会社

東京都小平市上水本町5丁目20番1号

(71)出願人 000233273

日立原町電子工業株式会社

茨城県日立市弁天町3丁目10番2号

(74)代理人 弁理士 筒井 大和

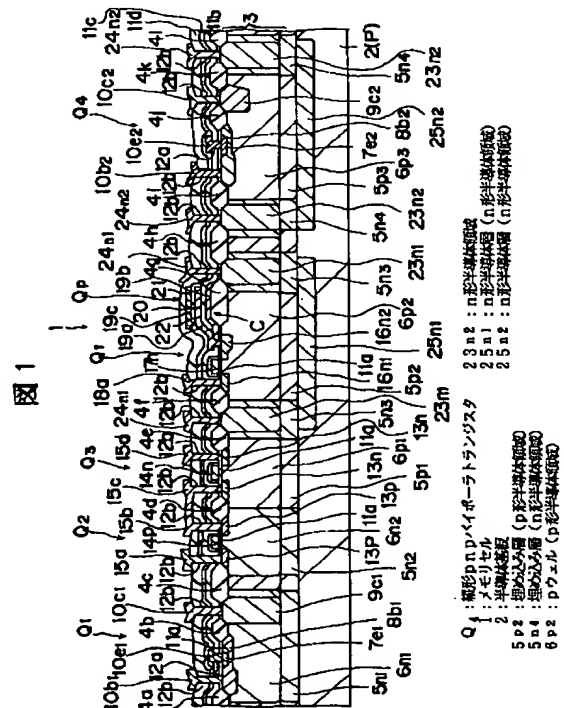
最終頁に続く

(54)【発明の名称】 半導体集積回路装置およびその製造方法

(57)【要約】

【目的】 縦形npnバイポーラトランジスタと、縦形pnpバイポーラトランジスタと、CMOS回路と、所定の半導体集積回路素子を構成するn形半導体領域とを同一半導体基板上に有するSRAM形半導体集積回路装置の製造工程数を低減する。

【構成】 縦形pnpバイポーラトランジスタQ₁、pチャネルMOSトランジスタQ₂、nチャネルMOSトランジスタQ₃、SRAMのメモリセル1および縦形npnバイポーラトランジスタQ₄を同一半導体基板上に有するSRAMの製造方法であって、SRAMのメモリセル1の下層における素子分離用のn形半導体層25n₁を形成する際に、縦形pnpバイポーラトランジスタQ₄の下層における素子分離用のn形半導体層25n₂を同時に形成する。



【特許請求の範囲】

【請求項1】 縦形npnバイポーラトランジスタと、縦形pnpバイポーラトランジスタと、nチャネルMOSトランジスタおよびpチャネルMOSトランジスタからなるCMOS回路と、所定の半導体集積回路素子を構成するn形半導体領域とを半導体基板上に有し、前記所定の半導体集積回路素子を構成するn形半導体領域の下層にp形半導体領域を設けるとともに、そのp形半導体領域の下層に素子分離用のn形半導体領域を設けた半導体集積回路装置において、前記縦形pnpバイポーラトランジスタの下層に、前記素子分離用のn形半導体領域を設けたことを特徴とする半導体集積回路装置。

【請求項2】 前記縦形pnpバイポーラトランジスタの周囲に、素子分離用のn形半導体領域を設けたことを特徴とする請求項1記載の半導体集積回路装置。

【請求項3】 前記所定の半導体集積回路素子がSRAMのメモリセルであることを特徴とする請求項1または2記載の半導体集積回路装置。

【請求項4】 請求項1、2または3記載の半導体集積回路装置を製造する際に、前記所定の半導体集積回路素子の下層における素子分離用のn形半導体領域と、前記縦形pnpバイポーラトランジスタの下層における素子分離用のn形半導体領域とを同時に形成することを特徴とする半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体集積回路装置およびその製造技術に関し、特に、SRAM (Static Random Access Memory)のメモリセルおよびバイポーラトランジスタを同一半導体基板上に有する半導体集積回路装置およびその製造方法に適用して有効な技術に関するものである。

【0002】

【従来の技術】従来、縦形pnpバイポーラトランジスタと、縦形npnバイポーラトランジスタとを同一半導体基板上に有し、その基板上にMOSトランジスタを有しない半導体集積回路装置においては、通常、p形の半導体基板を用いている。

【0003】この場合、半導体基板において、縦形pnpバイポーラトランジスタの形成領域に、素子分離としてnウェルを形成するようにしていた。

【0004】一方、縦形npnバイポーラトランジスタおよびCMOS (Complimentary MOS)回路からなるBiCMOS (Bipolar CMOS)回路と、SRAMのメモリセルとを同一半導体基板上に有する半導体集積回路装置においても、p形の半導体基板を用いている。

【0005】この場合、半導体基板において、メモリセル形成領域に、pウェルを形成するとともに、そのpウェルの側面側および下面側にn形半導体領域を設け、入力側から侵入する小数キャリアによるノイズを抑制する

ようにしていた。

【0006】なお、BiCMOS回路およびSRAMのメモリセルを同一半導体基板上に有する半導体集積回路装置については、例えば特開昭63-305545号公報に記載があり、SRAMのメモリセルの下層のpウェルを、n形半導体領域で取り囲む構造の半導体集積回路装置について説明されている。

【0007】

【発明が解決しようとする課題】ところで、近年、半導体集積回路装置においては、信頼性の確保や低消費電力化等の観点から電源電圧を、例えば5Vから3.3V程度に下げる傾向にあるが、そのようにすると半導体集積回路装置の動作速度が遅くなる問題が生じる。

【0008】そこで、動作速度を確保する観点から、前記BiCMOS回路およびSRAMのメモリセルを有する半導体基板上に、縦形pnpバイポーラトランジスタを設ける技術がある。

【0009】ところで、その技術の場合、ラッチアップやサージ電流等の対策のため、縦形pnpバイポーラトランジスタの周囲に新たにn形半導体領域を設ける必要があるが、そのようにすると半導体集積回路装置の製造工程が大幅に増加する問題があることを本発明者は見出した。

【0010】本発明は上記課題に着目してなされたものであり、その目的は、縦形npnバイポーラトランジスタと、縦形pnpバイポーラトランジスタと、CMOS回路と、所定の半導体集積回路素子を構成するn形半導体領域とを同一半導体基板上に有する半導体集積回路装置の製造工程数を低減することのできる技術を提供することにある。

【0011】本発明の前記ならびにその他の目的と新規な特徴は、明細書の記述および添付図面から明らかになるであろう。

【0012】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

【0013】すなわち、請求項1記載の発明は、縦形npnバイポーラトランジスタと、縦形pnpバイポーラトランジスタと、nチャネルMOSトランジスタおよびpチャネルMOSトランジスタからなるCMOS回路と、所定の半導体集積回路素子を構成するn形半導体領域とを半導体基板上に有し、前記所定の半導体集積回路素子を構成するn形半導体領域の下層にp形半導体領域を設けるとともに、そのp形半導体領域の下層に素子分離用のn形半導体領域を設けた半導体集積回路装置において、前記縦形pnpバイポーラトランジスタの下層に、前記素子分離用のn形半導体領域を設けた半導体集積回路装置構造とするものである。

【0014】請求項4記載の発明は、前記半導体集積回

3

路装置を製造する際に、前記所定の半導体集積回路素子を構成するn形半導体領域の下層における素子分離用のn形半導体領域と、前記縦形pnppバイポーラトランジスタの下層における素子分離用のn形半導体領域とを同時に形成する半導体集積回路装置の製造方法とするものである。

【0015】

【作用】上記した請求項1記載の発明によれば、縦形pnppバイポーラトランジスタを形成したことに起因する寄生トランジスタの形成が抑制され、ラッチアップの発生を抑制することができる上、何らかの原因で縦形pnppバイポーラトランジスタ側に流れたサージ電流に対する耐性を向上させることが可能となる。

【0016】上記した請求項4記載の発明によれば、所定の半導体集積回路素子を構成するn形半導体領域の下層における素子分離用のn形半導体領域を形成する際に、縦形pnppバイポーラトランジスタの下層における素子分離用のn形半導体層を同時に形成することにより、当該半導体集積回路装置の製造工程数を低減することが可能となる。

【0017】

【実施例】図1は本発明の一実施例である半導体集積回路装置の要部断面図、図2は図1の半導体集積回路装置の要部回路図、図3～図8は図1の半導体集積回路装置の製造工程中における半導体基板の要部断面図である。

【0018】本実施例の半導体集積回路装置は、例えばSRAMである。本実施例のSRAMのメモリセルを図2に示す。

【0019】本実施例のSRAMのメモリセル1は、2本のデータ線DL、DLと、それに対して交差する2本のワード線WL、WLとの交差部に配置されている。

【0020】このメモリセル1は、情報を保持するフリップフロップ回路FFと、フリップフロップ回路FFの入出力端子に接続された、例えば2個の転送用のnチャネルMOSトランジスタ Q_1 、 Q_1 とで構成されている。

【0021】フリップフロップ回路FFは、例えば2個の駆動用のnチャネルMOSトランジスタ Q_d 、 Q_d と、例えば2個の負荷用のpチャネルMOSトランジスタ Q_p 、 Q_p と、情報保持用のキャパシタCとから構成されている。

【0022】負荷用のpチャネルMOSトランジスタ Q_p のソースには、動作電源 V_{CC} が接続されている。また、駆動用のnチャネルMOSトランジスタ Q_d のソースには、基準電源 V_{SS} が接続されている。

【0023】動作電源 V_{CC} および基準電源 V_{SS} は、本実施例のSRAMを動作させるのに必要な電圧を供給する電源であり、それぞれ例えば5V、0Vに設定されている。

【0024】なお、メモリセル1には、例えば1ビットの情報が記憶される。

4

【0025】次に、本実施例のSRAMの要部断面図を図1に示す。半導体基板2は、例えばp⁻形シリコン(Si)単結晶からなり、その主面上には、エピタキシャル層3が形成されている。

【0026】エピタキシャル層3は、例えばn⁻形Si単結晶からなり、その主面上には、例えば二酸化ケイ素(SiO_2)等からなるフィールド絶縁膜4a～4lが形成されている。

【0027】半導体基板2と、エピタキシャル層3との境界およびその近傍の領域には、埋め込み層5n₁～5n₄および埋め込み層5p₁～5p₃が形成されている。埋め込み層5n₁～5n₄には、例えばn形不純物であるリンが導入されている。

【0028】また、埋め込み層5p₁～5p₃には、例えばp形不純物であるホウ素が導入されている。

【0029】エピタキシャル層3において、n形の埋め込み層5n₁上には、例えばnウエル6n₁が形成されている。nウエル6n₁には、例えばn形不純物であるリンが導入されている。

20 【0030】nウエル6n₁において、フィールド絶縁膜4a、4cに囲まれた領域には、縦形npnpバイポーラトランジスタ Q_1 が形成されている。縦形npnpバイポーラトランジスタ Q_1 は、エミッタ領域7e₁と、ベース領域8b₁と、nウエル6n₁と、埋め込み層5n₁と、コレクタ引出し領域9c₁とから構成されている。

30 【0031】エミッタ領域7e₁には、例えばn形不純物であるリンが導入されており、エミッタ電極10e₁が、絶縁膜11a、11bに穿孔された接続孔12aを通じて電氣的に接続されている。エミッタ電極10e₁は、例えばn形不純物であるリンが導入されたポリシリコンからなる。

【0032】ベース領域8b₁には、例えばp形不純物であるホウ素が導入されており、ベース電極10b₁が、絶縁膜11a～11dに穿孔された接続孔12bを通じて電氣的に接続されている。

40 【0033】コレクタ引出し領域9c₁には、例えばn形不純物であるリンが導入されており、コレクタ電極10c₁が、絶縁膜11a～11dに穿孔された接続孔12bを通じて電氣的に接続されている。

【0034】エミッタ電極10e₁、ベース電極10b₁およびコレクタ電極10c₁は、例えばアルミニウム(Al)－Si－銅(Cu)合金からなる。

【0035】また、エピタキシャル層3において、埋め込み層5n₂上には、nウエル6n₂が形成されている。nウエル6n₂には、例えばn形不純物であるリンが導入されている。

50 【0036】nウエル6n₂において、フィールド絶縁膜4c、4dに囲まれた領域には、pチャネルMOSトランジスタ Q_2 が形成されている。pチャネルMOSト

5

ランジスタ Q_2 は、拡散層13p、13pと、絶縁膜11aと、ゲート電極14pとから構成されている。

【0037】拡散層13p、13pには、例えばp形不純物であるホウ素が導入されており、電極15a、15bが、絶縁膜11a～11dに穿孔された接続孔12bを通じて電氣的に接続されている。ゲート電極14pは、所定の導電形の不純物が導入されたポリシリコンからなる。

【0038】また、エピタキシャル層3において、埋め込み層5p₁上には、pウエル6p₁が形成されている。10 pウエル6p₁には、例えばp形不純物であるホウ素が導入されている。

【0039】pウエル6p₁において、フィールド絶縁膜4d、4eに囲まれた領域には、例えばnチャネルMOSトランジスタ Q_3 が形成されている。nチャネルMOSトランジスタ Q_3 は、拡散層13n、13nと、絶縁膜11aと、ゲート電極14nとから構成されている。

【0040】拡散層13n、13nには、例えばn形不純物であるリンが導入されており、電極15c、15d 20 が、絶縁膜11a～11dに穿孔された接続孔12bを通じて電氣的に接続されている。ゲート電極14nは、所定の導電形の不純物が導入されたポリシリコンからなる。

【0041】これらpチャネルMOSトランジスタ Q_2 と、nチャネルMOSトランジスタ Q_3 とからCMOS回路が構成されている。

【0042】また、エピタキシャル層3において、埋め込み層(p形半導体領域)5p₂上には、pウエル(p形半導体領域)6p₂が形成されている。pウエル6p₂ 30 には、例えばp形不純物であるホウ素が導入されている。

【0043】pウエル6p₂において、フィールド絶縁膜4f、4gに囲まれた領域には、例えばSRAMのメモリセル1が形成されている。図1には、図2に示したメモリセル1の転送用のnチャネルMOSトランジスタ Q_1 と、キャパシタCと、負荷用のpチャネルMOSトランジスタ Q_p とが示されている。

【0044】転送用のnチャネルMOSトランジスタ Q_1 は、拡散層(n形半導体領域)16n₁、16n₂と、40 絶縁膜11aと、ゲート電極17nとから構成されている。

【0045】拡散層16n₁、16n₂には、例えばn形不純物であるリン等が導入されている。一方の拡散層16n₁には、電極18aが絶縁膜11a～11dに穿孔された接続孔12bを通じて電氣的に接続されている。他方の拡散層16n₂には、キャパシタCを構成する導体膜19aが電氣的に接続されている。

【0046】キャパシタCは、導体膜19a、19bと、その間の絶縁膜11bによって構成されている。導

6

体膜19a、19bは、所定の導電形の不純物が導入されたポリシリコンからなる。

【0047】負荷用のpチャネルMOSトランジスタ Q_p は、導体膜19aのゲート電極部20と、絶縁膜11cと、導体膜19cのソース部21およびドレイン部22によって構成されている。導体膜19cもポリシリコンからなる。

【0048】本実施例においては、p形の埋め込み層5p₂を囲むように、n形の埋め込み層5n₃が配置され、その埋め込み層5n₃上、すなわち、pウエル6p₂の周囲に、素子分離用のn形半導体領域23n₁が形成されている。

【0049】n形半導体領域23n₁には、例えばn形不純物であるリンが導入されており、電極24n₁が、絶縁膜11a～11dに穿孔された接続孔12bを通じて電氣的に接続されている。

【0050】また、本実施例においては、pウエル6p₂の下層に、素子分離用のn形半導体層(n形半導体領域)25n₁が形成されている。すなわち、本実施例においては、メモリセル1がn形半導体領域23n₁、埋め込み層5n₃およびn形半導体層25n₁によって取り囲まれている。このため、本実施例のSRAMのメモリセル1では、小数キャリアによるノイズ等が発生し難い構造となっている。

【0051】また、エピタキシャル層3において、埋め込み層5p₃上には、pウエル6p₃が形成されている。pウエル6p₃には、例えばp形不純物であるホウ素が導入されている。

【0052】pウエル6p₃において、フィールド絶縁膜4i、4kに囲まれた領域には、縦形pn₁pバイポーラトランジスタ Q_4 が形成されている。縦形pn₁pバイポーラトランジスタ Q_4 は、エミッタ領域7e₂と、ベース領域8b₂と、pウエル6p₃と、埋め込み層5p₃と、コレクタ引出し領域9c₂とから構成されている。30

【0053】エミッタ領域7e₂には、例えばp形不純物であるホウ素が導入されており、エミッタ電極10e₂が、絶縁膜11a、11bに穿孔された接続孔12aを通じて電氣的に接続されている。エミッタ電極10e₂は、例えばp形不純物であるホウ素が導入されたポリシリコンからなる。

【0054】ベース領域8b₂には、例えばn形不純物であるリンが導入されており、ベース電極10b₂が、絶縁膜11a～11dに穿孔された接続孔12bを通じて電氣的に接続されている。

【0055】コレクタ引出し領域9c₂には、例えばp形不純物であるホウ素等が導入されており、コレクタ電極10c₂が、絶縁膜11a～11dに穿孔された接続孔12bを通じて電氣的に接続されている。

50 【0056】エミッタ電極10e₂、ベース電極10b

2 およびコレクタ電極10c2は、例えばAl-Si-Cu合金からなる。

【0057】ところで、本実施例においては、p形の埋め込み層5p3を囲むように、n形の埋め込み層（n形半導体領域）5n4が配置され、その埋め込み層5n4上、すなわち、pウェル6p3の周囲に、素子分離用のn形半導体領域23n2が形成されている。

【0058】n形半導体領域23n2には、例えばn形不純物であるリンが導入されており、電極24n2が、絶縁膜11a~11dに穿孔された接続孔12bを通じて電気的に接続されている。

【0059】また、本実施例においては、pウェル6p3の下層に、素子分離用のn形半導体層（n形半導体領域）25n2が形成されている。すなわち、本実施例においては、縦形pnnpバイポーラトランジスタQ4もn形半導体領域23n2、埋め込み層5n4およびn形半導体層25n2によって取り囲まれている。

【0060】このため、本実施例のSRAMは、縦形pnnpバイポーラトランジスタQ4を形成したことに起因する寄生トランジスタの形成が抑制され、ラッチアップの発生を抑制できる上、何らかの原因で縦形pnnpバイポーラトランジスタQ4に流れるサージ電流に対する耐性を向上させることが可能な構造となっている。

【0061】次に、本実施例のSRAMの製造方法を図3~図8によって説明する。

【0062】まず、図3に示すように、半導体基板2の主面上に、例えばSiO2からなる絶縁膜パターン26をフォトリソグラフィ技術によって形成した後、その絶縁膜パターン26をマスクとして、半導体基板2のメモリセル形成領域Mおよび縦形pnnpバイポーラトランジスタ形成領域B1に、例えばn形不純物であるリン等をイオン打ち込みし、さらに熱処理を施してn形半導体層25n1、25n2を形成する。

【0063】すなわち、本実施例においては、メモリセル1（図1参照）の下層のn形半導体層25n1と、縦形pnnpバイポーラトランジスタQ4（図1参照）の下層のn形半導体層25n2とを同時に形成する。

【0064】続いて、絶縁膜パターン26を除去した後、図4に示すように、半導体基板2の主面に、例えばn形不純物であるリンおよびp形不純物であるホウ素をそれぞれ所定位置にイオン打ち込みして、埋め込み層5n1~5n4および埋め込み層5p1~5p3を形成する。

【0065】その後、半導体基板2の主面上に、エピタキシャル成長法によってエピタキシャル層3を成長させた後、エピタキシャル層3に、例えばn形不純物であるリンおよびp形不純物であるホウ素等をそれぞれ所定位置にイオン打ち込みして、nウェル6n1、6n2およびpウェル6p1~6p3を形成する。

【0066】次いで、エピタキシャル層3の主面上に、

選択酸化法等によってフィールド絶縁膜4a~4lを形成した後、コレクタ引出し領域9c1および素子分離用のn形半導体領域23n1、23n2を、例えばイオン打ち込みおよびその後の熱処理によって形成する。

【0067】すなわち、本実施例においては、メモリセル1（図1参照）の周囲の素子分離用のn形半導体領域23n1と、縦形pnnpバイポーラトランジスタQ4（図1参照）の周囲の素子分離用のn形半導体層23n2とを同時に形成する。

10 【0068】続いて、エピタキシャル層3上に、所定の導電形の不純物の導入されたポリシリコン膜を堆積し、これをフォトリソグラフィ技術によってパターニングして導体膜19bを形成した後、導体膜19bを被覆する絶縁膜27をCVD法等によって形成する。

【0069】その後、nチャネルMOSトランジスタQ1（図1参照）の拡散層16n2の一部をイオン打ち込み法等によって形成した後、ゲート絶縁膜となる絶縁膜11aを熱酸化法等によって形成する。

20 【0070】次いで、図5に示すように、半導体基板2上に、所定の導電形の不純物の導入されたポリシリコン膜を堆積し、これをフォトリソグラフィ技術によってパターニングして、ゲート電極14p、14n、17nを形成する。

【0071】続いて、ゲート電極14pをマスクとして、エピタキシャル層3に、例えばp形不純物であるホウ素をイオン打ち込みし、拡散層13p、13pを形成する。

30 【0072】この時、例えば同時に、図1に示した縦形pnnpバイポーラトランジスタQ1のベース領域8b1の一部を形成する。

【0073】また、ゲート電極14n、17nをマスクとして、エピタキシャル層3に、例えばn形不純物であるリンをイオン打ち込みし、拡散層13n、13n、16n1、16n2を形成する。この時、例えば同時に、図1に示した縦形pnnpバイポーラトランジスタQ4のベース領域8b2の一部を形成する。

40 【0074】その後、図6に示すように、導体膜19bの側壁のみに絶縁膜27が残るように、導体膜19の上面の絶縁膜27を除去した後、縦形pnnpバイポーラトランジスタQ1（図1参照）のベース領域8b1および縦形pnnpバイポーラトランジスタQ4のベース領域8b2をイオン打ち込み法等によってそれぞれ形成する。

【0075】次いで、図7に示すように、半導体基板2上に、絶縁膜11bをCVD法等によって堆積した後、縦形pnnpバイポーラトランジスタ形成領域B2、メモリセル形成領域Mおよび縦形pnnpバイポーラトランジスタ形成領域B1に接続孔12aを形成する。

50 【0076】続いて、半導体基板2上に、ポリシリコン膜（図示せず）をCVD法等によって堆積した後、そのポリシリコン膜において、縦形pnnpバイポーラトラン

ジスタ形成領域 B_2 におけるエミッタ形成領域に、例えば n 形不純物であるリンをイオン打ち込みし、メモリセル形成領域 M に、所定の導電形の不純物をイオン打ち込みし、また、縦形 pnp バイポーラトランジスタ形成領域 B_1 のエミッタ形成領域に、例えば p 形不純物であるホウ素をイオン打ち込みする。

【0077】その後、そのポリシリコン膜をフォトリソグラフィ技術によってパターニングして、エミッタ電極 $10e_1, 10e_2$ および導体膜 $19a$ を形成した後、半導体基板2に対して熱処理を施し、エミッタ電極 $10e_1, 10e_2$ からエピタキシャル層3に不純物を拡散させ、エミッタ領域 $7e_1, 7e_2$ を形成する。

【0078】次いで、図8に示すように、半導体基板2上に、絶縁膜 $11c$ をCVD法等によって堆積した後、絶縁膜 $11c$ 上にノンドープのポリシリコン膜（図示せず）をCVD法等によって堆積する。

【0079】続いて、そのポリシリコン膜をフォトリソグラフィ技術によってパターニングして、導体膜 $19c$ を形成した後、その導体膜 $19c$ のソース部21およびドレイン部22に、例えば p 形不純物であるリンをイオン打ち込みして負荷用の p チャンネルMOSトランジスタ Q_p を形成する。

【0080】その後、図1に示したように、半導体基板2上に、絶縁膜 $11d$ をCVD法等によって堆積し、接続孔 $12b$ を穿孔した後、例えば $Al-Si-Cu$ 合金からなる導体膜を堆積し、その導体膜をフォトリソグラフィ技術によってパターニングして、エミッタ電極 $10e_1, 10e_2$ 、ベース電極 $10b_1, 10b_2$ 、コレクタ電極 $10c_1, 10c_2$ および電極 $15a \sim 15d, 18a, 24n_1, 24n_2$ を形成し、SRAMを製造する。

【0081】このように本実施例によれば、以下の効果を得ることが可能となる。

【0082】(1). SRAMを構成する縦形 pnp バイポーラトランジスタ Q_4 を、 n 形半導体領域 $23n_2$ 、埋め込み層 $5n_4$ および n 形半導体層 $25n_2$ によって取り囲んだことにより、縦形 pnp バイポーラトランジスタ Q_4 を半導体基板2に形成したことに起因する寄生トランジスタの形成が抑制され、ラッチアップの発生を抑制することができる上、何らかの原因により縦形 pnp バイポーラトランジスタ Q_4 に流れたサージ電流に対する耐性を向上させることができるので、当該SRAMの信頼性を向上させることが可能となる。

【0083】(2). メモリセル1を取り囲む n 形半導体領域 $23n_1$ および n 形半導体層 $25n_1$ を形成する際に、縦形 pnp バイポーラトランジスタ Q_4 を取り囲む n 形半導体領域 $23n_2$ および n 形半導体層 $25n_2$ を同時に形成することにより、SRAMの製造工程数を低減することが可能となる。すなわち、信頼性の高いSRAMを短期間で製造することが可能となる。

【0084】以上、本発明者によってなされた発明を

実施例に基づき具体的に説明したが、本発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0085】例えば前記実施例においては、半導体基板に形成された所定の半導体集積回路素子を構成する n 形半導体領域を、SRAMを構成する転送用の n チャンネルMOSトランジスタの拡散層とした場合について説明したが、これに限定されるものではなく種々変更可能であり、例えばDRAMのメモリセルを構成する n チャンネルMOSトランジスタの拡散層としても良いし、また、抵抗を構成する n 形の拡散層でも良い。

【0086】また、前記実施例においては、メモリセルおよび縦形 pnp バイポーラトランジスタを取り囲む n 形半導体領域に n 形不純物としてリンを導入した場合について説明したが、これに限定されるものではなく種々変更可能であり、例えばヒ素やアンチモン等でも良い。

【0087】また、前記実施例においては、メモリセルおよび縦形 pnp バイポーラトランジスタを取り囲む n 形半導体領域をイオン打ち込み法によって形成した場合について説明したが、これに限定されるものではなく、例えば熱拡散法等を用いても良い。

【0088】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるSRAMのメモリセルを有する半導体集積回路装置およびその製造方法に適用した場合について説明したが、これに限定されず種々適用可能であり、例えばBiCMOSゲートアレイまたはメモリセルを有するアナログ・デジタル混在形の半導体集積回路装置等のような他の半導体集積回路装置およびその製造方法に適用することも可能である。

【0089】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

【0090】(1). すなわち、請求項1記載の発明によれば、縦形 pnp バイポーラトランジスタを形成したことに起因する寄生トランジスタの形成が抑制され、ラッチアップの発生を抑制することができる上、何らかの原因で縦形 pnp バイポーラトランジスタ側に流れたサージ電流に対する耐性を向上させることができるので、当該半導体集積回路装置の信頼性を向上させることが可能となる。

【0091】(2). 請求項4記載の発明によれば、所定の半導体集積回路素子を構成する n 形半導体領域の下層における素子分離用の n 形半導体領域を半導体基板に形成する際に、縦形 pnp バイポーラトランジスタの下層における素子分離用の n 形半導体領域を同時に形成することにより、当該半導体集積回路装置の製造工程数を低減することが可能となる。すなわち、信頼性の高い半導体集積回路装置を短期間で製造することが可能となる。

【図面の簡単な説明】

【図1】本発明の一実施例である半導体集積回路装置の要部断面図である。

【図2】図1の半導体集積回路装置の要部回路図である。

【図3】図1の半導体集積回路装置の製造工程における半導体基板の要部断面図である。

【図4】図1の半導体集積回路装置の製造工程における半導体基板の要部断面図である。

【図5】図1の半導体集積回路装置の製造工程における半導体基板の要部断面図である。

【図6】図1の半導体集積回路装置の製造工程における半導体基板の要部断面図である。

【図7】図1の半導体集積回路装置の製造工程における半導体基板の要部断面図である。

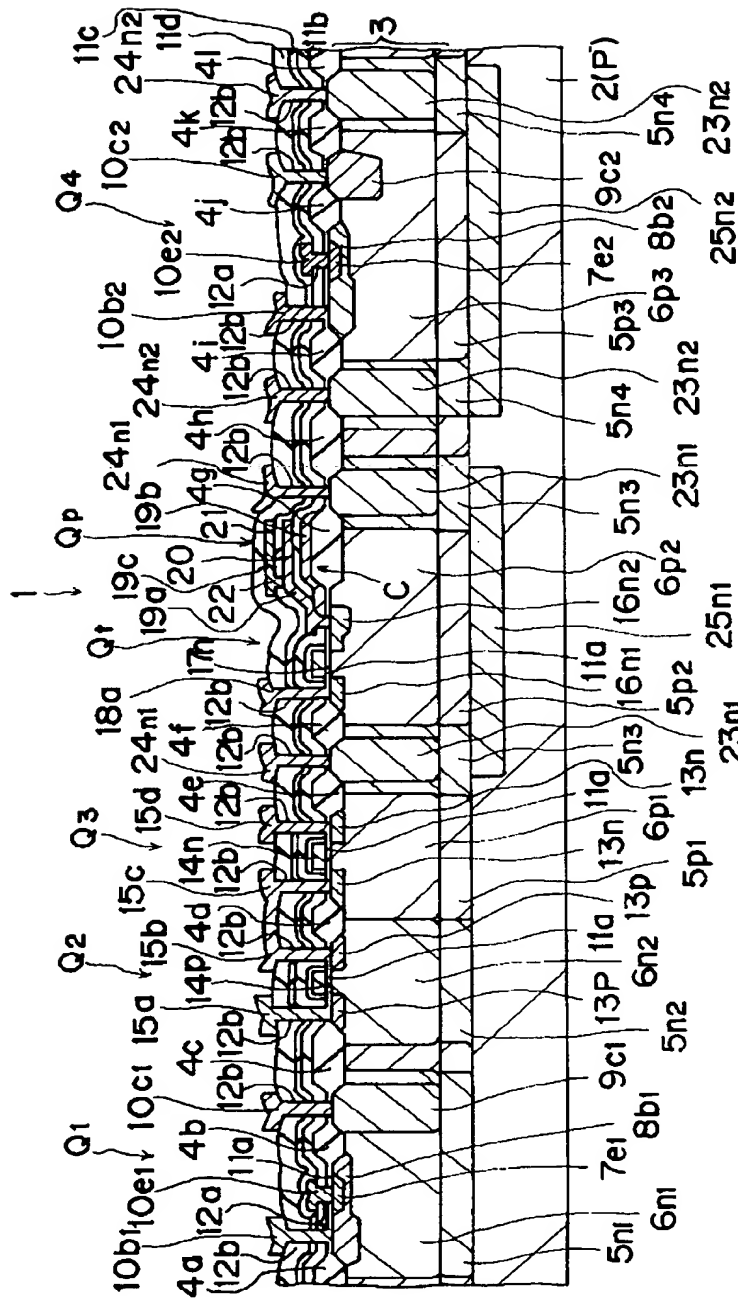
【図8】図1の半導体集積回路装置の製造工程における半導体基板の要部断面図である。

【符号の説明】

1 メモリセル
2 半導体基板
3 エピタキシャル層
4 a フィールド絶縁膜
4 b フィールド絶縁膜
4 c フィールド絶縁膜
4 d フィールド絶縁膜
4 e フィールド絶縁膜
4 f フィールド絶縁膜
4 g フィールド絶縁膜
4 h フィールド絶縁膜
4 i フィールド絶縁膜
4 j フィールド絶縁膜
4 k フィールド絶縁膜
4 l フィールド絶縁膜
5 n₁ 埋め込み層
5 n₂ 埋め込み層
5 n₃ 埋め込み層
5 n₄ 埋め込み層 (n形半導体領域)
5 p₁ 埋め込み層
5 p₂ 埋め込み層 (p形半導体領域)
5 p₃ 埋め込み層
6 n₁ nウエル
6 n₂ nウエル
6 p₁ pウエル
6 p₂ pウエル (p形半導体領域)
6 p₃ pウエル
7 e₁ エミッタ領域
7 e₂ エミッタ領域
8 b₁ ベース領域
8 b₂ ベース領域
9 c₁ コレクタ引出し領域

9 c₂ コレクタ引出し領域
10 e₁ エミッタ電極
10 b₁ ベース電極
10 c₁ コレクタ電極
10 e₂ エミッタ電極
10 b₂ ベース電極
10 c₂ コレクタ電極
11 a 絶縁膜
11 b 絶縁膜
11 c 絶縁膜
11 d 絶縁膜
12 a 接続孔
12 b 接続孔
13 p 拡散層
13 n 拡散層
14 n ゲート電極
14 p ゲート電極
15 a 電極
15 b 電極
20 15 c 電極
15 d 電極
16 n₁ 拡散層
16 n₂ 拡散層
17 n ゲート電極
18 a 電極
19 a 導体膜
19 b 導体膜
19 c 導体膜
20 ゲート電極部
30 21 ソース部
22 ドレイン部
23 n₁ n形半導体領域
23 n₂ n形半導体領域
24 n₁ 電極
24 n₂ 電極
25 n₁ n形半導体層 (n形半導体領域)
25 n₂ n形半導体層 (n形半導体領域)
26 絶縁膜パターン
27 絶縁膜
40 Q₁ 縦形npnバイポーラトランジスタ
Q₂ pチャネルMOSトランジスタ
Q₃ nチャネルMOSトランジスタ
Q₄ 縦形pnpバイポーラトランジスタ
Q_i nチャネルMOSトランジスタ
Q_d nチャネルMOSトランジスタ
Q_p pチャネルMOSトランジスタ
C キャパシタ
B₁ 縦形pnpバイポーラトランジスタ形成領域
B₂ 縦形npnバイポーラトランジスタ形成領域
50 M メモリセル形成領域

1



Q₄: 縮形pn_pバイポーラトランジスタ

1: メモリセル

2: 半導体基板

5p₂: 埋め込み層 (p形半導体領域)

5n₄: 埋め込み層 (n形半導体領域)

6p₂: pウェル (p形半導体領域)

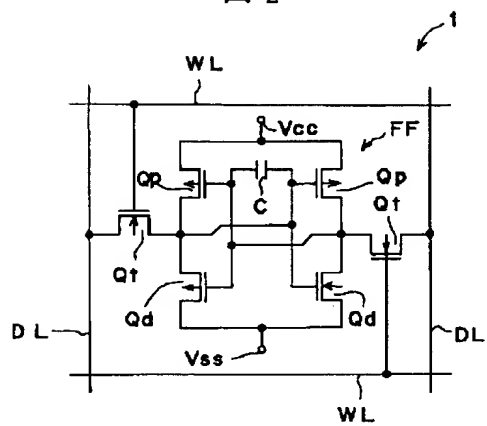
23n₂: n形半導体領域

25n₁: n形半導体層 (n形半導体領域)

25n₂: n形半導体層 (n形半導体領域)

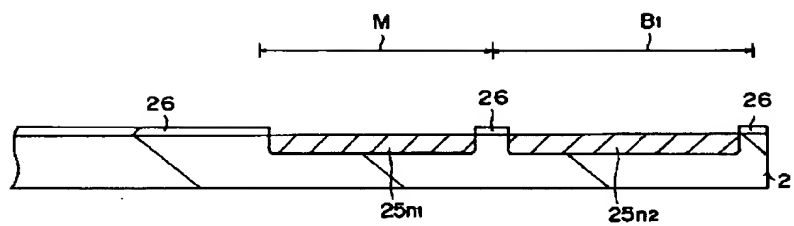
【図2】

図2



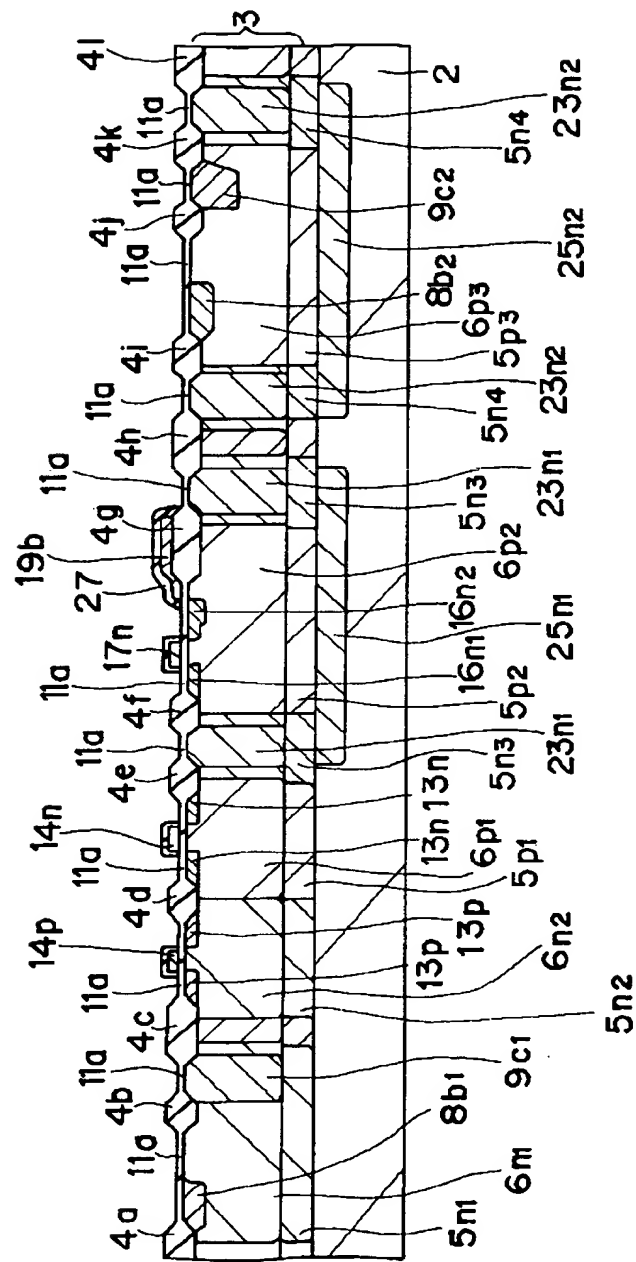
【図3】

図3

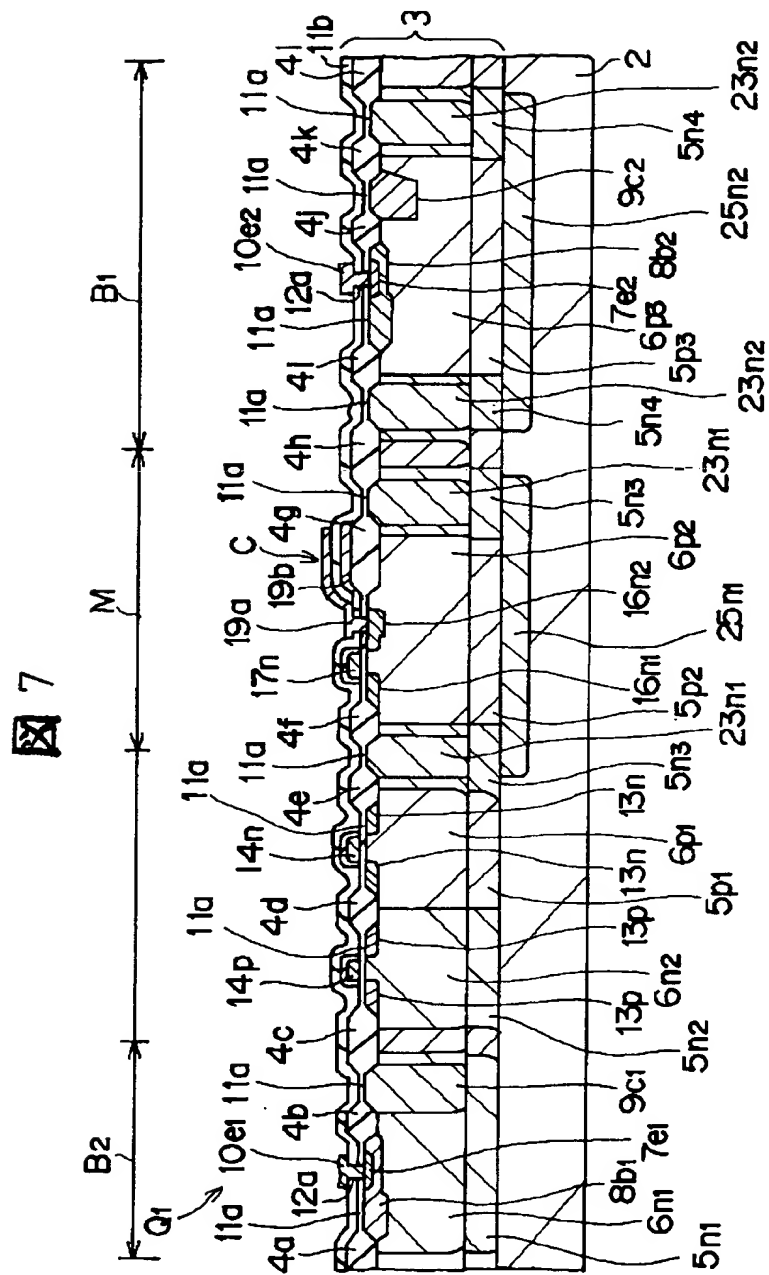


【図5】

図 5

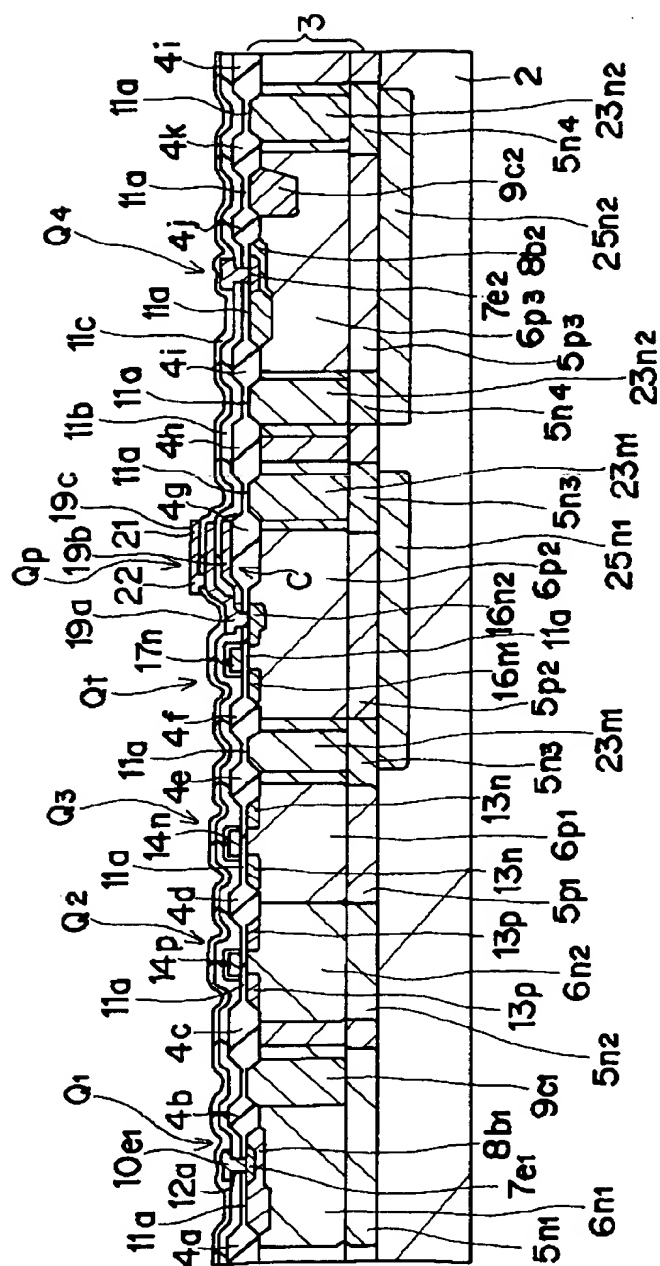


【図 7】



【図8】

図8



フロントページの続き

(72)発明者 井澤 龍一
 東京都小平市上水本町5丁目20番1号 株
 式会社日立製作所武蔵工場内
 (72)発明者 佐藤 和重
 茨城県日立市久慈町4026番地 株式会社日
 立製作所日立研究所内

(72)発明者 吉住 圭一
 東京都小平市上水本町5丁目20番1号 株
 式会社日立製作所武蔵工場内
 (72)発明者 高橋 正人
 東京都小平市上水本町5丁目20番1号 株
 式会社日立製作所武蔵工場内

(72)発明者 橋場 総一郎
東京都小平市上水本町 5 丁目 20 番 1 号 株
式会社日立製作所武蔵工場内

(72)発明者 鈴木 範夫
東京都小平市上水本町 5 丁目 20 番 1 号 株
式会社日立製作所武蔵工場内

(72)発明者 池田 修二
東京都小平市上水本町 5 丁目 20 番 1 号 株
式会社日立製作所武蔵工場内

(72)発明者 星野 裕
東京都小平市上水本町 5 丁目 20 番 1 号 株
式会社日立製作所武蔵工場内

(72)発明者 神田 隆行
東京都小平市上水本町 5 丁目 20 番 1 号 株
式会社日立製作所武蔵工場内

(72)発明者 吉田 安子
東京都小平市上水本町 5 丁目 20 番 1 号 株
式会社日立製作所武蔵工場内

(72)発明者 有賀 成一
東京都小平市上水本町 5 丁目 20 番 1 号 日
立超エル・エス・アイ・エンジニアリング
株式会社内

(72)発明者 松木 弘
茨城県日立市弁天町 3 丁目 10 番 2 号 日立
原町電子工業株式会社内

(72)発明者 森 ちえみ
東京都小平市上水本町 5 丁目 20 番 1 号 日
立超エル・エス・アイ・エンジニアリング
株式会社内

(72)発明者 藤田 絵里
東京都小平市上水本町 5 丁目 20 番 1 号 日
立超エル・エス・アイ・エンジニアリング
株式会社内